

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269269

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 21/60

H05K 1/18

H05K 3/32

(21)Application number : 11-069041

(71)Applicant : TOSHIBA CORP

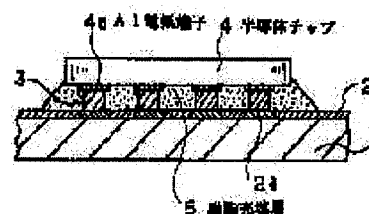
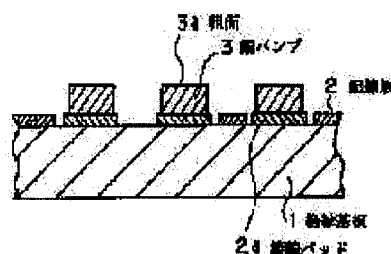
(22)Date of filing : 15.03.1999

(72)Inventor : UENO FUMITAKA

(54) SEMICONDUCTOR MOUNTING SUBSTRATE, SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**(57)Abstract:**

PROBLEM TO BE SOLVED: To bring down the contact resistance value of the junction part between the electrode terminal of a semiconductor element and a bump, and to improve the electric characteristic of a flip chip mounting type semiconductor device.

SOLUTION: A copper connection pad 2a, etc., are formed on the main surface of an insulated substrate 1, and a copper bump 3, having the roughened upper surface, is integrally formed on the connection pad 2a in this semiconductor mounting substrate. A semiconductor chip 4 is mounted on the above-mentioned substrate 1, and the copper bump 3 is pressure welded on an Al electrode terminal 4a. At this time, the roughened surface 3a of the copper bump 3 is directly brought into contact with the electrode terminal 4a by breaking the oxide Al film formed on the electrode terminal 4a, and an electrically excellent junction part is formed. A plating method using a plating solution containing no brightener, or a method wherein surface is roughened by etching is performed in order to form the roughened surface of the copper bump 3.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269269

(P2000-269269A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 E 3 1 9
H 0 5 K 1/18		H 0 5 K 1/18	L 5 E 3 3 6
3/32		3/32	Z 5 F 0 4 4

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平11-69041

(22) 出願日 平成11年3月15日 (1999.3.15)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 上野 文隆

東京都府中市東芝町1番地 株式会社東芝
府中工場内

(74) 代理人 100077849

弁理士 須山 佐一

Fターム(参考) 5E319 AA03 AB05 AC17 BB16 CC03
CD60

5E336 AA04 AA09 BB01 BB15 BC34

BC40 CC32 CC36 EE05 GG11

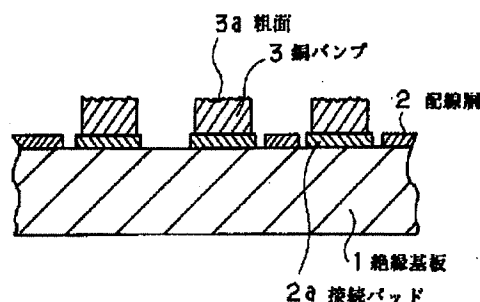
5F044 KK02 KK17 KK18 KK19 LL15

(54) 【発明の名称】 半導体実装用基板と半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 フリップチップ実装型半導体装置において、半導体素子の電極端子と bumps との接合部のコンタクト抵抗値を低くし、電気特性の向上を図る。

【解決手段】 本発明の実装用基板では、絶縁基板1の主面に銅の接続パッド2a等が形成され、接続パッド2a上に、上面が粗面3a化された銅バンプ3が一体に形成されている。そして、このような基板上に半導体チップ4が搭載され、銅バンプ3がA1電極端子4aに圧接されている。このとき銅バンプ3の粗面3aが、電極端子4a上に形成された酸化Al膜を破壊して電極端子4aと直接接触し、電気的に良好な接合部が形成されている。銅バンプ3の粗面3aを形成するには、光沢剤を含まないメッキ液を用いてメッキを行なう方法、または表面をエッチングにより粗面化する方法が採られる。



【特許請求の範囲】

【請求項1】 絶縁基板と、

前記絶縁基板の少なくとも一方の主面に配設された接続端子および配線層と、

前記接続端子上に一体に形成された導電性バンプとを備え、

前記絶縁基板の前記接続端子形成面上に、前記導電性バンプを介して、半導体素子が搭載・接続される半導体実装用基板において、

前記導電性バンプの前記半導体素子の電極端子に当接される面が、微小な凹凸を有する粗面となっていることを特徴とする半導体実装用基板。

【請求項2】 前記導電性バンプの粗面の粗さ(R)

が、 $0.5 \pm 0.3 \mu\text{m}$ であることを特徴とする請求項1記載の半導体実装用基板。

【請求項3】 少なくとも一方の主面に配線層および接続端子を有する配線基板と、

前記配線基板の前記接続端子上に一体に形成された導電性バンプと、

前記配線基板の前記接続端子形成面上にフェースダウンで搭載され、前記導電性バンプを介して接続された半導体素子と、

前記配線基板と半導体素子との間隙部に形成された樹脂充填層とを備え、

前記導電性バンプが前記半導体素子の電極端子と、酸化膜を介することなく直接接触し、接合一体化していることを特徴とする半導体装置。

【請求項4】 少なくとも一方の主面に配線層および接続端子を有する配線基板の前記接続端子上に、メッキにより導電性バンプを形成する工程と、

前記配線基板の前記接続端子形成面上に半導体素子をフェースダウンで搭載し、該半導体素子の電極端子と前記接続端子とを、前記導電性バンプを介して接続するフリップチップ接続工程と、

前記配線基板と半導体素子との間隙部を充填する樹脂充填層を形成する工程とを備え、

前記導電性バンプの形成工程で、メッキ液の組成を調整することにより、粗面化された表面を有する導電性バンプを形成し、

かつフリップチップ接続工程で、前記導電性バンプの粗面化された表面により、前記半導体素子の電極端子上に形成された酸化膜を破壊し、該導電性バンプを前記電極端子に接触させて接合することを特徴とする半導体装置の製造方法。

【請求項5】 少なくとも一方の主面に配線層および接続端子を有する配線基板の前記接続端子上に、導電性バンプを形成する工程と、

前記導電性バンプの表面をエッチングにより粗面化する工程と、

前記配線基板の前記接続端子形成面上に半導体素子をフ

ェースダウンで搭載し、前記導電性バンプの粗面化された表面により、前記半導体素子の電極端子上に形成された酸化膜を破壊し、該導電性バンプを前記電極端子に接触させて接合する工程と、

前記配線基板と半導体素子との間隙部を充填する樹脂充填層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項6】 前記樹脂充填層が、異方性導電ペーストから成り、かつこの樹脂充填層を前記配線基板の導電性バンプ形成面に形成した後、前記フリップチップ接続工程を行なうことを特徴とする請求項4または5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子のフリップチップ実装用の基板と、半導体素子がフリップチップ実装された半導体装置、およびそのような半導体装置の製造方法に関する。

【0002】

【従来の技術】従来から、無線カードあるいは携帯電話等の移動通信機器においては、半導体チップやコンデンサ、抵抗のような多数の電子部品が基板に搭載・実装された半導体装置（マルチチップモジュール）が使用されている。そして、これら半導体チップ等の実装には、フリップチップ接続の技術が用いられている。

【0003】フリップチップ接続は、半導体チップを配線基板に対して電極端子形成面を下向き（以下、フェースダウンと示す。）にして搭載し、半導体チップの電極端子と配線基板の接続端子とを突起電極（バンプ）を介して接続する方法である。バンプとしては、金、はんだ、銅などのバンプが用いられ、特に材料コストが安く、形成および端子との接合が容易なバンプとして、銅バンプが有望視されている。すなわち、配線基板の接続端子上に、電気メッキ、印刷等の方法で銅バンプを形成することが行なわれている。通常、配線基板の接続端子は銅で構成されているので、バンプと接続端子とは一体化される。

【0004】

【発明が解決しようとする課題】しかしながら、このような銅バンプによりフリップチップ接続された半導体装置では、金バンプを使用したものに比べて、材料コストが安くバンプの形成並びに端子との接合が容易で、接続時間の短縮が可能である反面、以下に示す問題があった。すなわち、半導体チップのアルミニウムから成る電極端子と銅バンプとの接合後の抵抗値（初期抵抗値）が、数10mΩ（50mΩ程度）と高くなるものがあり、携帯電話等の移動通信機器に安定して用いることが難しかった。

【0005】そして、本発明者が、半導体チップのAl電極端子と銅バンプとの接合界面を観察したところ、コ

ンタクト抵抗値が数10mΩと高いものでは、平らで滑らかな銅バンプの先端面が、電極上に形成された酸化Alの膜を介してAl電極に圧接されており、銅バンプとAl電極端子とが直接接触していないことがわかった。これに対して、コンタクト抵抗値が数mΩと低いものでは、銅バンプの表面が光沢がなくて荒れており、このような銅バンプが、半導体チップのAl電極端子と酸化膜を介することなく直接接触し、合金層が形成されていることがわかった。

【0006】本発明はこのような知見に鑑みてなされたもので、半導体素子の電極端子とバンプとの接合部（界面）のコンタクト抵抗値が低く、電気特性の良好なフリップチップ実装型半導体装置と、その製造方法、およびこのような低い電気抵抗値を可能とする半導体素子のフリップチップ実装用基板を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の第1の発明の半導体実装用基板は、絶縁基板と、前記絶縁基板の少なくとも一方の主面に配設された接続端子および配線層と、前記接続端子上に一体に形成された導電性バンプとを備え、前記絶縁基板の前記接続端子形成面上に、前記導電性バンプを介して、半導体素子が搭載・接続される半導体実装用基板において、前記導電性バンプの前記半導体素子の電極端子に当接される面が、微小な凹凸を有する粗面となっていることを特徴とする。

【0008】本発明の第2の発明の半導体装置は、少なくとも一方の主面に配線層および接続端子を有する配線基板と、前記配線基板の前記接続端子上に一体に形成された導電性バンプと、前記配線基板の前記接続端子形成面上にフェースダウンで搭載され、前記導電性バンプを介して接続された半導体素子と、前記配線基板と半導体素子との間隙部に形成された樹脂充填層とを備え、前記導電性バンプが前記半導体素子の電極端子と、酸化膜を介することなく直接接触し、接合一体化していることを特徴とする。

【0009】本発明の第3の発明の半導体装置の製造方法は、少なくとも一方の主面に配線層および接続端子を有する配線基板の前記接続端子に、メッキにより導電性バンプを形成する工程と、前記配線基板の前記接続端子形成面上に半導体素子をフェースダウンで搭載し、該半導体素子の電極端子と前記接続端子とを、前記導電性バンプを介して接続するフリップチップ接続工程と、前記配線基板と半導体素子との間隙部を充填する樹脂充填層を形成する工程とを備え、前記導電性バンプの形成工程で、メッキ液の組成を調整することにより、粗面化された表面を有する導電性バンプを形成し、かつフリップチップ接続工程で、前記導電性バンプの粗面化された表面により、前記半導体素子の電極端子に形成された酸化膜を破壊し、該導電性バンプを前記電極端子に接触させて接合することを特徴とする。

【0010】ここで、粗面化された表面を有する導電性バンプを形成するには、導電性バンプの形成工程で、例えば、光沢剤を含まないメッキ液を用いてメッキを行なう方法が採られる。

【0011】本発明の第4の発明の半導体装置の製造方法は、少なくとも一方の主面に配線層および接続端子を有する配線基板の前記接続端子に、導電性バンプを形成する工程と、前記導電性バンプの表面をエッチングにより粗面化する工程と、前記配線基板の前記接続端子形成面上に半導体素子をフェースダウンで搭載し、前記導電性バンプの粗面化された表面により、前記半導体素子の電極端子に形成された酸化膜を破壊し、該導電性バンプを前記電極端子に接触させて接合する工程と、前記配線基板と半導体素子との間隙部を充填する樹脂充填層を形成する工程とを備えたことを特徴とする。

【0012】本発明において、導電性バンプとしては、銅バンプを使用することが望ましいが、銅バンプ上にニッケルメッキが施されたバンプにおいても、Niメッキ層の表面を粗面化することによって、同様な効果を上げることができる。銅バンプの形成は、銅の電解メッキ、または銅粒子を主成分とするペーストを接続端子に印刷塗布する方法により行なうことができる。

【0013】そして、このような導電性バンプの粗面の粗さ（表面粗さR）は、粗面の微小な凹凸により、半導体素子の電極端子上の酸化膜を容易に破碎し、かつバンプの先端面と電極端子との間で十分な接触面積が確保されるように、 $0.5 \pm 0.3 \mu\text{m}$ とすることが望ましい。

【0014】本発明においては、導電性バンプの半導体素子の電極端子に当接される面が、微小な凹凸を有する粗面となっているので、このようなバンプの先端面を、半導体素子のAl電極端子に圧接する（例えば、バンプ1個当たり150gfの圧力をかけながら150℃で40秒間加熱）と、粗面の微小な凹凸が、Al電極端子に形成された薄い酸化Al膜を破壊するため、バンプがAl電極に直接接触し、導電性の高い合金層が形成される。その結果、半導体素子のAl電極端子と導電性バンプとの接合部のコンタクト抵抗値（初期抵抗値）が、数mΩに低減される。

【0015】また、本発明において、樹脂充填層は、半導体素子と配線基板とのフリップチップ接続部を接着・固定する機能を有する。この樹脂充填層の形成は、フリップチップ接続工程の前に行ない、配線基板のバンプ形成面上に樹脂充填層を形成した後、その上に半導体素子を搭載し、フリップチップ接続を行なっても良いが、半導体素子を配線基板上に搭載し、バンプを介して接合した後、配線基板と半導体素子との間隙部に液状の樹脂を注入・充填し、硬化させるように構成しても良い。

【0016】さらに、このような樹脂充填層を、樹脂中に直径 $5 \mu\text{m}$ 程度の金属粒子（例えば金粒子）が含有された異方性導電ペーストにより形成することができる。

充填用樹脂として金粒子を含む異方性導電ペーストを使用する場合には、これを配線基板の bumps 形成面上に塗布した後、フリップチップ接続を行なうことにより、導電性 bumps と半導体素子の Al 電極端子との間に金粒子が挟み込まれて、Al-Au 接合が形成されるので、bumps 接合部のコンタクト抵抗値がさらに低減される。

【0017】

【発明の実施の形態】以下、本発明の実施例を図面に基

【0018】図1は、本発明の半導体実装用基板の一実施例を示す断面図であり、図2は、半導体装置の実施例を示す断面図である。

【0019】図1において、符号1は、エポキシ樹脂含浸ガラスクロス基板のような絶縁基板を示し、この絶縁基板1の少なくとも一方の主面に、銅の蒸着・パターンニングや銅箔のフォトエッチング等の方法で、接続パッド2aおよび配線層2が形成されている。また、接続パッド2a上に、銅 bumps 3が一体に形成されている。この銅 bumps 3において、半導体チップの電極端子に当接される面である上面は、表面粗さ(R)が約0.5 μ mの粗面3aとなっている。

【0020】実施例の半導体装置は、このような実装用配線基板の接続パッド2a形成面に、半導体チップ4がフリップチップ実装された構造となっている。すなわち、図2に示すように、配線基板の接続パッド2a形成面上に、半導体チップ4がフェースダウンに搭載され、接続パッド2a上に形成された銅 bumps 3が、半導体チップ4の Al 電極端子4aに圧接されている。このとき、銅 bumps 3の粗面3aが、加圧により、半導体チップ4の Al 電極端子4a上に形成された薄い酸化 Al 膜(図示を省略。)を破壊し、銅 bumps 3と Al 電極端子4aとが直接接触するので、電気的に良好な接合部が形成されている。さらに、このように搭載・実装された半導体チップ4と配線基板との間の間隙部には、エポキシ樹脂等の絶縁樹脂の充填層5が形成されている。

【0021】このような半導体装置を製造する方法の実施例を、以下に示す。

【0022】第1の実施例のプロセスフローを、図3に示す。

【0023】第1の実施例では、少なくとも一方の主面に、銅の接続パッドおよび配線層がそれぞれ形成されたガラス-エポキシ配線基板の主面に、まずフォトレジスト層を積層・形成する。フォトレジストとしては、例えばデュボン社製のドライフィルム(厚さ50 μ m)を使用し、このドライフィルムを、真空ラミネータにより60℃、25秒間の条件でラミネートする。

【0024】次いで、こうして配線基板上に積層されたフォトレジスト層の上に、露光用マスクを重ね合わせた後、露光機にセットし、例えば35mJの紫外線を照射して露光する。続いて、必要に応じてオープンに入れて加熱

する(60℃で6分間)ことにより、硬化を完全なものとした後、炭酸ナトリウム水溶液をスプレーして現像する。

【0025】次に、こうして所定のフォトレジストパターンが積層・形成された配線基板に対して、超音波洗浄、脱脂、純水での洗浄等のメッキ前処理を行なう。具体的には、例えば純水で3分間超音波洗浄してから、洗浄液で50℃5分間脱脂し、純水で洗浄した後、ソフトエッチング液に浸漬して1分間超音波洗浄し、純水で洗浄する。さらに、希硫酸で30秒間超音波洗浄する。

【0026】次いで、メッキ槽に入れ、光沢剤を含まないメッキ液を用いて電解メッキを行ない、配線基板の接続パッド上に、粗面化された表面を有する銅 bumps を形成する。ここで、メッキ液の組成は、CuSO₄ (5H₂O) 58.9g/l、89% H₂SO₄ 225g/l、1mol/l HCl 1.4ml、CLX-C (メルテックス社製のレベラー) 20ml/lとし、逆メッキを15mAで1分間行なった後、電解メッキを50mAで40分間行ない、最後に純水で洗浄する。

【0027】こうして、配線基板の接続パッド上に、粗面化された表面(表面粗さ(R)約0.5 μ m)を有する、例えば直径75 μ m、高さ30 μ mの銅 bumps が形成される。次に、防錆剤液への浸漬次いで純水洗浄の後処理を行なった後、水酸化ナトリウム水溶液により、ドライフィルム(フォトレジストパターン)を剥離する。

【0028】次いで、得られた実装用の配線基板の銅 bumps 形成面に、エポキシ系の封止用樹脂を塗布した後、その上に半導体チップをフェースダウンにして搭載し、Al 電極端子を銅 bumps の粗面化された上面に当接させる。そして、加圧しながら加熱し、銅 bumps を半導体チップの電極端子に直接接触させて接合する。加熱・加圧力は、例えば bumps 1個当たり150gfの圧力をかけながら、150℃で40秒間加熱するものとする。

【0029】このように構成される第1の実施例においては、配線基板の接続パッド上に銅 bumps を形成する工程で、光沢剤を含まないメッキ液を用いて電解メッキを行なっているので、表面が滑らかではなく粗面化された銅 bumps が形成される。そして、このような銅 bumps が、半導体チップの Al 電極端子に圧接され、加熱・加圧により、銅 bumps の粗面化された表面が、半導体チップの Al 電極端子上に形成された薄い Al 酸化膜を破壊して Al 電極端子と直接接触するので、コンタクト抵抗値(初期抵抗値)が数m Ω と低く、電気的に良好な接合部が形成される。

【0030】本発明の製造方法の第2の実施例のプロセスフローを、図4に示す。

【0031】第2の実施例では、光沢剤を含む通常の組成のメッキ液を用いて電解メッキを行ない、配線基板の接続パッド上に、表面が滑らかな銅 bumps を形成した後、ソフトエッチングを行ない、bumps の表面を粗面化(表面粗さ0.5 μ m程度)する。

【0032】ソフトエッチングの条件は、例えば過硫酸ソーダを主成分とするソフトエッチング液（三菱ガス化学社製 NPE-300；含有量98%以上）等に30秒間常温で漬ける方法が採られる。その他の工程は、第1の実施例と同一であるので、説明を省略する。

【0033】このように構成される第2の実施例においては、電解メッキによる銅バンプ形成後のソフトエッチング工程で、バンプの表面が粗面化されるので、このような銅バンプが半導体チップのAl電極端子に圧接されるとき、加圧により、銅バンプの粗面化された上面が、半導体チップの電極端子上に形成されたAl酸化膜を破壊して、Al電極端子と直接接合する。したがって、コンタクト抵抗値が数mΩと低く、電氣的に良好な接合部が形成される。また、電解メッキにより形成される銅バンプの高さにばらつきがなく、一定の高さのバンプを安定して形成することができるので、より良好な接合部が得られる。

【0034】なお、これらの実施例では、樹脂充填層を形成するための封止用樹脂として、絶縁性のエポキシ樹脂が使用されているが、エポキシ樹脂中に直径5μm程度の金粒子が含有された異方性導電ペーストを用いて、樹脂充填層を形成しても良い。異方性導電ペーストを使用する場合には、これを配線基板のバンプ形成面上に塗布した後、フリップチップ実装工程を行なうことにより、銅バンプと半導体チップのAl電極端子との間に金粒子が挟み込まれる。その結果、Al-Au接合が形成され、バンプ接合部のコンタクト抵抗値がさらに低減される。

【0035】

*

*【発明の効果】以上の説明から明らかなように、本発明の実装用基板によれば、半導体素子の電極端子との接合部（界面）のコンタクト抵抗値を、1mΩ程度に低くすることができる。そして、このような実装用基板に半導体素子をフリップチップ接続した半導体装置によれば、半導体素子の電極端子とバンプとの接合部のコンタクト抵抗値が低減され、良好な電気特性が実現される。さらに、本発明の製造方法によれば、前記したような低い抵抗値を有するフリップチップ接続部を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体実装用基板の一実施例の概略構成を示す断面図。

【図2】本発明の半導体装置の一実施例を概略的に示す断面図

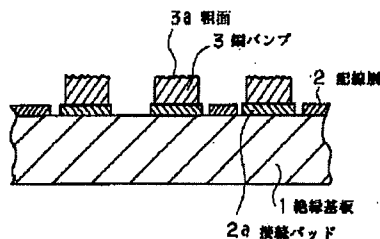
【図3】本発明の半導体装置の製造方法の第1の実施例のプロセスを示すフロー図。

【図4】本発明の半導体装置の製造方法の第2の実施例のプロセスを示すフロー図。

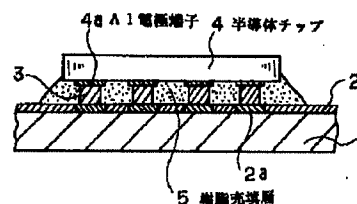
【符号の説明】

- 1 ……絶縁基板
- 2a ……接続パッド
- 2 ……配線層
- 3 ……銅バンプ
- 3a ……粗面
- 4 ……半導体チップ
- 4a ……Al電極端子
- 5 ……樹脂充填層

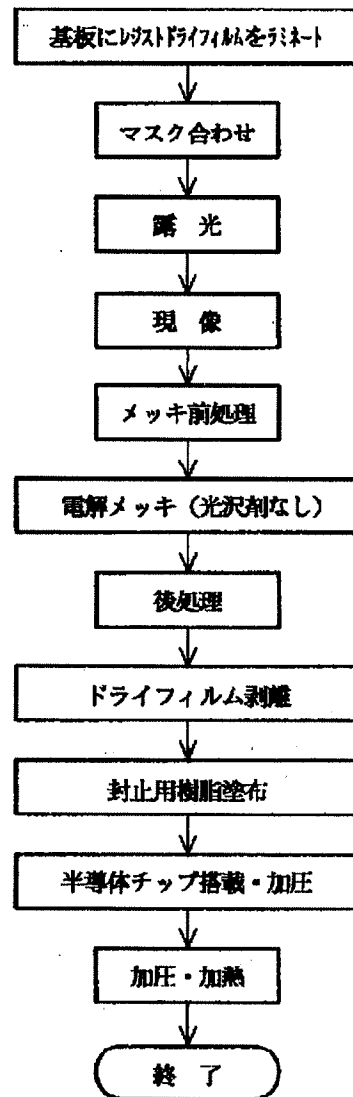
【図1】



【図2】



【図3】



【図4】

